

(19)

JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 04372133 A

(43) Date of publication of application: 25.12.92

(51) Int. Cl

**H01L 21/3205****H01L 21/027****H01L 27/04**

(21) Application number: 03149079

(71) Applicant: NEC CORP

(22) Date of filing: 21.06.91

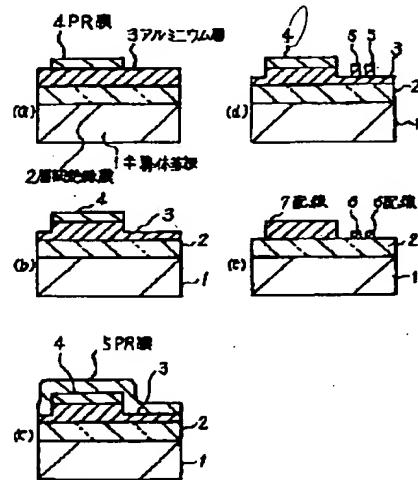
(72) Inventor: TAMAKOSHI AKIRA

**(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND MANUFACTURE THEREOF****(57) Abstract:**

**PURPOSE:** To increase the packing density of a semiconductor device by providing an interconnection for small current and a thick interconnection for large current on the same layer so that the interconnection for large current may be narrowed to reduce the area of interconnections.

**CONSTITUTION:** A first interconnection 6 for small current is formed on an insulating film 2 over a semiconductor substrate 1. A second interconnection 7 for large current, thicker than the first interconnection, is formed on the same layer as the first interconnection. For example, a first PR film 4 is applied over an aluminum layer 3, and it is patterned into a mask to be used to form the interconnection for large current. The mask is used to anisotropically etch the upper part of the aluminum layer 3. Then, a second PR film is applied and patterned into a mask to be used to form the interconnection for signal interconnection on the thin part of the aluminum layer 3. The aluminum layer 3 is subjected to anisotropic etching with the PR films 4 and 5 used as masks to form the first and second interconnections 6 and 7.

COPYRIGHT: (C)1992,JPO&amp;Japio



(1)

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-372133

(43)公開日 平成4年(1992)12月25日

(51) Int.Cl.<sup>5</sup>  
 H 01 L 21/3205  
 21/027  
 27/04

識別記号 庁内整理番号  
 D 8427-4M  
 7353-4M  
 7352-4M

F I  
 H 01 L 21/88  
 21/30 A  
 361 P

審査請求 未請求 請求項の数3(全3頁)

(21)出願番号 特願平3-149079

(22)出願日 平成3年(1991)6月21日

(71)出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 玉越 晃

東京都港区芝五丁目7番1号日本電気株式  
会社内

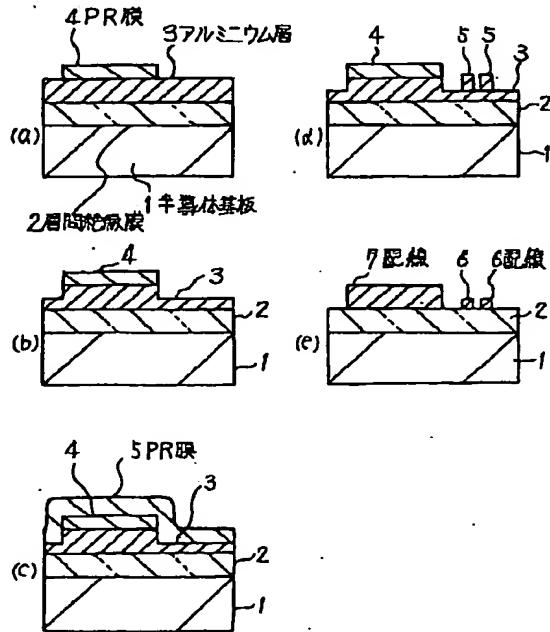
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 半導体集積回路及びその製造方法

## (57)【要約】

【構成】 PR膜4をマスクとしてアルミニウム層3の上部をエッティングして膜厚を薄くし、PR膜4を焼きしめた後バターニングして設けたPR膜5及びPR膜4をマスクとしてアルミニウム層3を異方性エッティングし、信号用の膜厚の薄い第1の配線6と、電源用の厚い第2の配線7を形成する。

【効果】 大電流用の配線の膜厚を厚くすることにより、線幅を狭くでき、チップ面積の縮小化が実現できる。



1

2

## 【特許請求の範囲】

【請求項1】 半導体基板上に設けた絶縁膜上に配置して設けた小電流用の第1の配線と、前記第1の配線と同一層に配置して設け且つ前記第1の配線より厚い膜厚を有する大電流用の第2の配線とを備えたことを特徴とする半導体集積回路。

【請求項2】 第2の配線が電源配線又は接地配線である請求項1記載の半導体集積回路。

【請求項3】 半導体基板上に設けた絶縁膜上に金属層を堆積する工程と、前記金属層の上にバターニングして設けた第1のフォトレジスト膜を設ける工程と、前記第1のフォトレジスト膜をマスクとして前記金属層の上部を異方性エッチングし前記金属層の膜厚を薄くする工程と、前記第1のフォトレジスト膜を熟処理して硬化させた後前記第1のフォトレジスト膜を含む表面に第2のフォトレジスト膜を塗布してバターニングし前記金属層の膜厚の薄い領域上に配線形成用のパターンを形成する工程と、前記第1及び第2のフォトレジスト膜をマスクとして前記金属層を異方性エッチングし膜厚の薄い小電流用の第1の配線及び膜厚の厚い大電流用の第2の配線を同時に形成する工程とを含むことを特徴とする半導体集積回路の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体集積回路及びその製造方法に関し、特に配線及びその製造方法に関する。

## 【0002】

【従来の技術】 従来の半導体集積回路は、図2(a), (b)に示すように、P型シリコン基板1に設けたN型ウェル9にPチャネルMOSFETを形成し、P型シリコン基板1にNチャネルMOSFETを形成して電源VccとGND配線8及び入力と出力配線6に接続しCMOSインバータ回路を構成している。

## 【0003】

【発明が解決しようとする課題】 この従来の半導体集積回路では、電力供給源となるVcc配線やGND配線は、通常配線幅を広く(40μm以上)にして、ノイズに対して強いレイアウト構成にしなければならない。一方、信号配線は太くしすぎると、配線容量が増大し、スイッチング速度の遅れの原因となり、また、レイアウト面積を増大させる原因にもなるため、配線抵抗またはマイグレーションの許容範囲内で、最小配線幅にしておくのが望ましい。

【0004】 最近のLSIの大規模化にともない微細加工技術が進み、マイグレーション強化策としてアルミ配線へのCu添加などの技術が可能になってくると信号配線は増え細く、また、配線膜厚も薄膜化が進む方向にあるのに対し、VccやGND配線は、その能力を維持させる必要性から細くさせることができず、逆に太く設計せなければならぬ場合も生じており、縮小化を妨げ

る大きな一因になっている。

## 【0005】

【課題を解決するための手段】 本発明の半導体集積回路は、半導体基板上に設けた絶縁膜上に配置して設けた小電流用の第1の配線と、前記第1の配線と同一層に配置して設け且つ前記第1の配線より厚い膜厚を有する大電流用の第2の配線とを備えている。

【0006】 本発明の半導体集積回路の製造方法は、半導体基板上に設けた絶縁膜上に金属層を堆積する工程

10 と、前記金属層の上にバターニングして設けた第1のフォトレジスト膜を設ける工程と、前記第1のフォトレジスト膜をマスクとして前記金属層の上部を異方性エッチングし前記金属層の膜厚を薄くする工程と、前記第1のフォトレジスト膜を熟処理して硬化させた後前記第1のフォトレジスト膜を含む表面に第2のフォトレジスト膜を塗布してバターニングし前記金属層の膜厚の薄い領域上に配線形成用のパターンを形成する工程と、前記第1及び第2のフォトレジスト膜をマスクとして前記金属層を異方性エッチングし膜厚の薄い小電流用の第1の配線及び膜厚の厚い大電流用の第2の配線を同時に形成する工程とを含んで構成される。

## 【0007】

【実施例】 次に、本発明について図面を参照して説明する。

【0008】 図1(a)～(e)は本発明の一実施例の製造方法を説明するための工程順に示した半導体チップの断面図である。

【0009】 まず図1(a)に示すように、P型のシリコン基板1の上に形成された層間絶縁膜2の上にスパッタ法によりアルミニウム層3を2～3μmの厚さに堆積して設け、アルミニウム層3の上に第1のフォトレジスト膜(以下PR膜と記す)4を塗布してバターニングし、電源又は接地線等の大電流配線形成用のパターンを形成する。

【0010】 次に、図1(b)に示すように、PR膜4をマスクとしてアルミニウム層3の上部を異方性エッチングし、アルミニウム層3の膜厚を1μm程度に薄くする。次に、焼きしめを行い、PR膜4を硬化させる。

【0011】 次に、図1(c)に示すように、PR膜4を含む表面に第2のPR膜5を塗布する。

【0012】 次に、図1(d)に示すように、信号配線形成用パターンのレチクルを用いて露光し、現像してアルミニウム層3の膜厚の薄い領域上に信号配線形成用のパターンを形成する。ここで、PR膜4は焼きしめられているため通常の現像方法では剥離されないで残る。

【0013】 次に、図1(e)に示すように、PR膜4, 5をマスクとしてアルミニウム層3を異方性エッチングした後プラズマ法によりPR膜4, 5を剥離して小電流用の幅が狭く膜厚の薄い第1の配線6と、大電流用の幅が広く膜厚の厚い第2の配線7の夫々を形成する。

【0014】上記実施例において、配線6どうしの間隔は、従来通りの間隔である約1μmを満していればよいが、配線6と、配線7との間隔が第1と第2のPR膜4、5の目合せマージン及び配線7の端部でPR膜5の膜厚差が生じることを考慮して間隔を広げなければならない(約4~5μm程度)が配線幅の縮小化の効果の方が大きく、レイアウト面積の縮小化を妨げることはない。

## 【0015】

【発明の効果】以上説明したように、本発明は、膜厚の薄い小電流用の第1の配線と、膜厚の厚い大電流用の第2の配線とを同一層に設けることにより、従来の大面積を占有していた大電流用の配線の幅を縮小して配線の占有面積を縮減し、集積度を向上させることができるとい

う効果を有する。

## 【図面の簡単な説明】

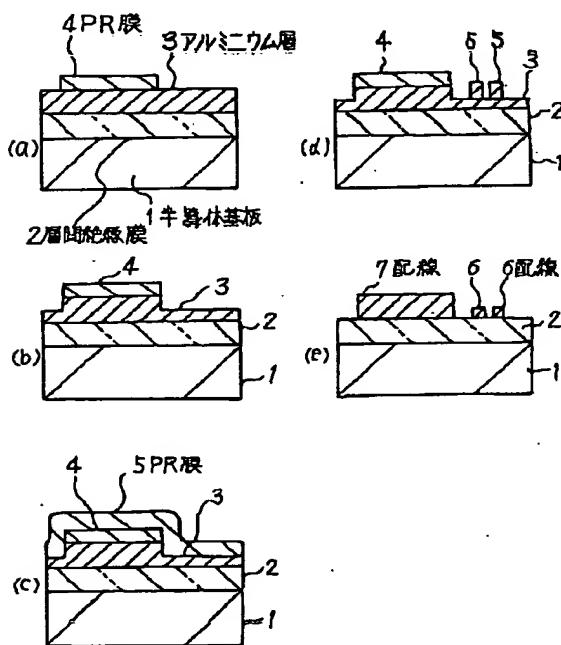
【図1】本発明の一実施例の製造方法を説明するための工程順に示した半導体チップの断面図。

【図2】従来の半導体集積回路の一例を示すレイアウト図及びA-A'線断面拡大図。

## 【符号の説明】

1 P型シリコン基板  
2 層間絶縁膜  
3 アルミニウム層  
4, 5 PR膜  
6, 7, 8 配線  
9 N型ウェル

【図1】



【図2】

